

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **59-226655**

(43)Date of publication of application : **19.12.1984**

(51)Int.Cl.

H02M 1/08

(21)Application number : **58-100914**

(71)Applicant : **HITACHI LTD
HITACHI HARAMACHI
SEMICONDUCTOR LTD**

(22)Date of filing : **08.06.1983**

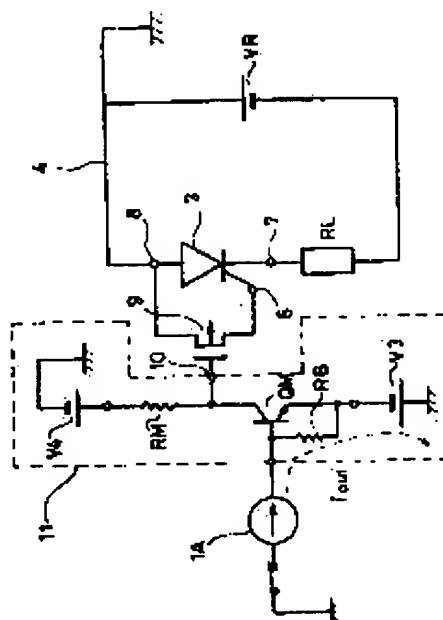
(72)Inventor : **SHIMURA TATSUO
MIURA MASAHIITO
KARIYA TADAAKI**

(54) SEMICONDUCTOR SWITCH DEVICE

(57)Abstract:

PURPOSE: To enable to control ON or OFF a semiconductor switch device without flowing a control current to a main circuit by using a high withstand field effect transistor which can be controlled ON or OFF by the voltage input from an external power source to control a thyristor ON or OFF.

CONSTITUTION: When an output current is supplied from a current source 1A to the base of a transistor QM, the transistor QM becomes ON, and a high withstand field effect transistor 9 becomes ON. As a result, a current is supplied to flow from the gate 6 of a thyristor 3 to a cathode 6 through the transistor 9 from a power source VR of a main circuit 4 to fire the thyristor 3. When the output current of the source 1A is eliminated, the transistor QM is interrupted, the transistor 9 is interrupted, and the thyristor 3 is turned OFF.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

公開実用 昭和60— 9238

⑨ 日本国特許庁 (JP)

⑩ 実用新案出願公開

⑪ 公開実用新案公報 (U)

昭60—9238

⑫ Int. Cl.⁴
H 01 L 25/14
G 11 C 11/34

識別記号

庁内整理番号
7638—5F
6549—5B

⑬ 公開 昭和60年(1985)1月22日

審査請求 未請求

(全 頁)

⑭ 高集積ハイブリッドIC

川崎市中原区上小田中1015番地
富士通株式会社内

⑮ 実 願 昭58—100914

⑯ 出 願 人 富士通株式会社

⑰ 出 願 昭58(1983)6月29日

川崎市中原区上小田中1015番地

⑱ 考 案 者 辻敏夫

⑲ 代 理 人 弁理士 青柳稔

明 細 書

1. 考案の名称

高集積ハイブリッドＩＣ

2. 実用新案登録請求の範囲

(1) 同一基板上に複数のＩＣチップを並べて搭載したハイブリッドＩＣにおいて、ＩＣチップの上に該ＩＣチップの周囲のボンディングエリア部以上小さいＩＣチップを積み重ね、これらのＩＣチップを該基板の配線端子へワイヤボンディングにより接続してなることを特徴とする高集積ハイブリッドＩＣ。

(2) 積み重ねられるＩＣチップは、上、下部のものと同一大きさの回路素子形成部を持ち、そして下部のＩＣチップは上部のＩＣチップより広い周辺部を持ち、該周辺部の上部ＩＣチップより外に出る部分にボンディングパッドが形成されてなることを特徴とする実用新案登録請求の範囲第１項記載の高集積ハイブリッドＩＣ。

(3) 積み重ねられるＩＣチップはともにＩＣメモリであり、上、下のＩＣチップの電源、データ、お

よびアドレス各ボンディングパッドは基板の同じ配線端へワイヤボンディングされてなることを特徴とする実用新案登録請求の範囲第1項または第2項記載の高集積ハイブリッドIC。

3. 考案の詳細な説明

考案の技術分野

本考案は、同一基板上に複数のICチップを搭載したハイブリッドICに関し、特にICチップを多層に積み重ねて集積度を向上させようとするものである。

従来技術と問題点

従来のハイブリッドICは第1図に示すように、セラミック基板1上に同種又は異種のICチップ2を複数個平面的に並べて配置する構造が一般的であり、この方式ではIC（集積回路）チップの総面積以上の集積度は全く期待できない。なお第1図で3はボンディングワイヤであり、ICチップ2（回路素子、配線、ボンディングパッドなどは形成してあるがパッケージには収容してない裸のシリコンチップ）の周辺のボンディングパッド

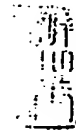
と基板 1 の内外に形成された配線の端子とを接続する。4 は基板 1 の周囲に設けられた外部リードで、これらが端子ピンとなる。全体はセラミックケースに收容するかまたはコーティングする等してハイブリッド IC を完成する。IC チップは LSI など大容量化するにつれて広い面積のものになりつゝあるが、平面的に並べるだけではハイブリッド IC としての高密度化には限度がある。

考案の目的

本考案は IC チップを多層に積み重ねることでハイブリッド IC の一層の高集積化を図ろうとするものである。

考案の構成


本考案は、同一基板上に複数の IC チップを並べて搭載したハイブリッド IC において、IC チップの上に該 IC チップの周囲のボンディングエリア部以上小さい IC チップを積み重ね、これらの IC チップを該基板の配線端子へワイヤボンディングにより接続してなることを特徴とするが、以下図示の実施例を参照しながらこれを詳細に説明



する。

考案の実施例

第2図は本考案の一実施例を示す説明図で、(a)は部分側断面図、(b)は部分平面図である。同図において、1は第1図と同様のセラミック基板、2Lはその表面に直接搭載されたサイズの大きいICチップ、3Lはそのボンディングワイヤ、2SはICチップ2Lのボンディングエリアを除く中央領域に絶縁層5を介して搭載されたサイズの小さいICチップ、3Sはそのボンディングワイヤである。ICチップ2L、2Sは例えばICメモリチップであり、第3図に示すようにチップ2Sは中央のメモリセル群などが形成される領域6、その周囲のローデコードなどが形成される領域7及びコラムデコードなどが形成される領域8、チップ周辺のボンディングパッド9が形成される領域を有する。記憶装置を構成するには同じICメモリチップを所要数並設するのが普通なので、下側の大きいICメモリチップ2Lも容量的には上側の小さなICメモリチップと同じであり、従って



領域 6 ~ 8 からなる回路素子形成領域 10 は下側の IC チップ 2 L でも同じ大きさとし、たゞ下側は大型のチップを用いてそのボンディングパッド 9 形成領域は、重ねた上側 IC チップ 2 S より外方へ張り出す部分とする。

IC チップと基板との接続には上記のようにワイヤボンディングを利用するが、そのワイヤボンディングパッドは IC チップの周辺にあって基板 1 の配線端子との接続に供され、内部回路との接続は表面絶縁膜の下部の配線により行なわれる。従って、サイズの大きい IC チップ 2 L の上にサイズの小さい IC チップ 2 S を載置することは接続その他の点で全く問題がなく、そしてチップ厚は無視できる程薄いので、多層構造としてもパッケージは従来品と同程度の高さで済み、集積度は 1.5 倍以上に向上する。特にメモリではチップイネーブル等のチップ独自の信号が加えられる端子を除き電源、入出力データ、及びアドレス信号など各チップ共通に加えられるものの端子が多いので、上側の IC チップ 2 S のボンディングワイヤ

3 S は下側の I C チップ 2 L のボンディングワイヤ 3 L と同じ基板上配線端子へボンディングする、または第 2 図 (a) に点線で示す如く 3 S を 2 L のボンディングパッドへ接続して 3 L を介して基板上配線端子へ接続する（いわば 2 段跳びのようにする）ことができ、別個の配線端子を必要としない利点がある。なお、この I C チップを積重ねたハイブリッド I C もケースに入れたりして機械的保護及び防湿を行なう。また図示実施例では I C チップを 2 個積重ねたが、余裕があれば I C チップ 2 S の上層に更にサイズの小さい I C チップを重ねることも可能である。また基板 1 はセラミック基板の他に適宜のプリント基板などでもよい。

考案の効果

以上述べたように本考案によれば、限られた面積内でハイブリッド I C の集積度（実装密度）を向上させることができ、大容量メモリなどに用いて甚だ有効である。

4. 図面の簡単な説明

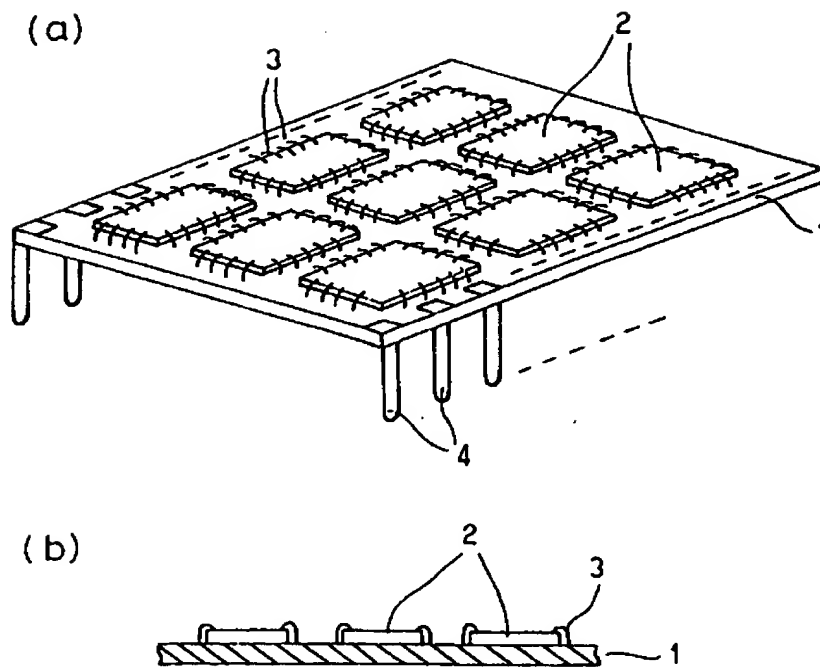
第 1 図は従来のハイブリッド I C の構成図、第

2 図は本考案の一実施例を示す要部構成図、第 3 図は I C チップが I C メモリチップの場合の内部構造説明図である。

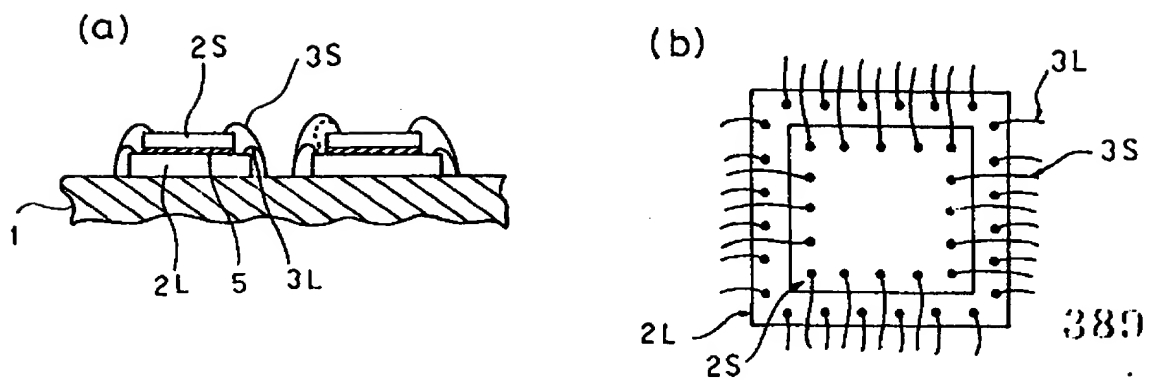
図中、1 はセラミック基板、2 L はサイズの大
きい I C チップ、2 S はサイズの小さい I C チ
ップ、3 L、3 S はボンディングワイヤ、5 は絶縁
層、6 ~ 8、10 は回路素子形成領域、9 はボン
ディングパッドである。

出 願 人 富 士 通 株 式 会 社
代理人弁理士 青 柳 稔

第 1 図

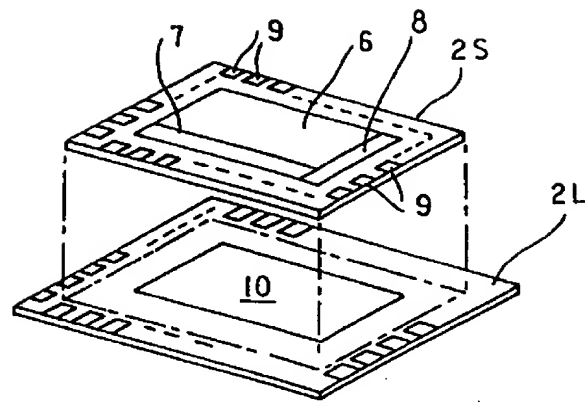


第 2 図



出願人 富士通株式会社
代理人 弁理士 青柳 稔

第 3 圖



390

実開60-9238

出願人 富士通株式会社

代理人 弁理士 青柳 稔